

Peter Jan Lüthi

# VLSI Circuits for MIMO Preprocessing

Hartung-Gorre Verlag Konstanz  
2010

Reprint of Diss. ETH No. 18777

SERIES IN MICROELECTRONICS

VOLUME 203

edited by Wolfgang Fichtner  
Qiuting Huang  
Heinz Jäckel  
Gerhard Tröster  
Bernd Witzigmann

**Bibliographic information published by Die Deutsche Nationalbibliothek**

Die Deutsche Nationalbibliothek lists this publication in the Deutsche Nationalbibliografie; detailed bibliographic data is available on the Internet at:  
<http://dnb.d-nb.de>

Copyright © 2010 by Peter Jan Lüthi

First edition 2010

HARTUNG-GORRE VERLAG KONSTANZ  
<http://www.hartung-gorre.de>

ISSN: 0936-5362

ISBN-10: 3-86628-295-8

ISBN-13: 978-3-86628-295-7

# Abstract

Multiple-input multiple-output (MIMO) technology employs multiple antennas at both ends of the wireless link and constitutes one of today's most promising approaches to increase the throughput by exploiting the limited radio frequency resources in an unprecedentedly efficient way – without additional transmit power expenditure or increase in channel bandwidth. Combined with broadband modulation schemes such as orthogonal frequency-division multiplexing (OFDM), MIMO provides a powerful and attractive solution for high-throughput wireless home, office, and metropolitan area networks.

Unfortunately, the adoption of these modern wireless communication technologies significantly increases the signal processing complexity – most prominently at the receiver. Therefore, the practical realization of MIMO signal processing algorithms ultimately calls for dedicated very large scale integration (VLSI) circuits. However, even state-of-the-art process technologies for integrated circuits do not allow for implementation of mathematically optimal algorithms. Hence, we are urged to resort to suboptimal reduced-complexity solutions, which are still specifically optimized for their target application.

This work focuses on VLSI circuits for MIMO preprocessing, with a strong emphasis on sorted QR decomposition (SQRD). The thesis introduces several preprocessing algorithms and describes the quality metrics having been employed for subsequent algorithm optimizations for hardware implementation. Moreover, it shows the exploration of the fixed-point VLSI design space for various SQRD architectures including the assessment of finite-precision effects. The corresponding VLSI implementation results in UMC 0.18  $\mu\text{m}$  1P/6M CMOS technology provide reference figures for throughput and silicon complexity.

# Zusammenfassung

Multiple-input multiple-output (MIMO) Technologie benutzt in drahtlosen Kommunikationssystemen sowohl sende- als auch empfangsseitig mehrere Antennen und stellt eine der vielversprechendsten Ansätze zur Steigerung des Datendurchsatzes auf enorm effiziente Art und Weise dar – und dies ohne Erhöhung der Sendeleistung oder Steigerung der Kanalbandbreite. In Kombination mit Breitband-Modulationsarten wie orthogonal frequency-division multiplexing (OFDM) bietet MIMO eine attraktive Lösung für drahtlose Hochleistungsnetzwerke im Heim- und Bürobereich, sowie in urbanen Umgebungen an.

Leider bringt der Einsatz dieser modernen Kommunikationstechnologien eine signifikante Komplexitätssteigerung der Signalverarbeitung mit sich – vornehmlich im Empfänger. Deshalb werden für die praktische Umsetzung der MIMO Signalverarbeitungsalgorithmen dedizierte integrierte Schaltungen benötigt. Doch auch die modernsten Prozesstechnologien erlauben es nicht, mathematisch optimale Algorithmen den Anforderungen entsprechend umzusetzen. So ist man gezwungen, sich auf suboptimale Lösungen zu fokussieren, welche aber trotzdem hinsichtlich ihres Einsatzbereichs gezielt optimiert werden.

Diese Arbeit behandelt integrierte Schaltungen für MIMO Signalvorverarbeitung, mit Fokus auf sortierter QR Zerlegung. Mehrere Algorithmen werden eingeführt und die Qualitätsmetriken beschrieben, welche für die nachfolgenden Optimierungen hinsichtlich der Schaltungsintegration verwendet wurden. Zusätzlich wird die Entwurfsraumexploration für verschiedene Architekturen aufgezeigt, mit Einbezug von Quantisierungseffekten aufgrund reduzierter numerischer Präzision. Die daraus entstandenen integrierten Schaltungen stellen Referenzgrößen für Durchsatz und Integrationskomplexität dar.

# Contents

<b>Abstract</b>	<b>iii</b>
<b>Zusammenfassung</b>	<b>v</b>
<b>1 Introduction</b>	<b>1</b>
1.1 Key Technologies . . . . .	2
1.1.1 MIMO . . . . .	2
1.1.2 OFDM . . . . .	5
1.1.3 Adoption to Standards . . . . .	9
1.2 Motivation for this Work . . . . .	11
1.2.1 Implementation Challenge of MIMO-OFDM . . . . .	11
1.2.2 The Case for MIMO Preprocessing . . . . .	12
1.2.3 Technology Choice . . . . .	13
1.3 Contributions . . . . .	14
1.4 Thesis Outline . . . . .	16
<b>2 Algorithms for MIMO Preprocessing</b>	<b>19</b>
2.1 System Model . . . . .	19
2.2 Performance Criteria . . . . .	21
2.2.1 Simulation Methodology . . . . .	22
2.2.2 Employed Quality Metrics . . . . .	22
2.2.3 Channel Models . . . . .	23
2.3 System-Level Overview . . . . .	24
2.4 MIMO Processing . . . . .	27
2.4.1 MIMO Preprocessing Schemes . . . . .	27
2.4.2 MIMO Detection Schemes . . . . .	31

2.4.3	BER Performance . . . . .	38
2.5	MIMO Preprocessing Algorithms . . . . .	41
2.5.1	SQRD based on Modified Gram-Schmidt . . . . .	41
2.5.2	SQRD based on Givens Rotations . . . . .	43
2.5.3	V-BLAST based on Square-Root Algorithm . . . . .	45
<b>3</b>	<b>Optimizations for Implementation</b>	<b>49</b>
3.1	Algorithm Implementation Aspects . . . . .	49
3.1.1	Number Format and Dynamic Range . . . . .	49
3.1.2	Remarks on Complexity Metrics . . . . .	51
3.1.3	Complexity Reduction Methods . . . . .	52
3.2	Employed Concept . . . . .	53
3.2.1	Fixed-Point Simulation Model . . . . .	53
3.3	Building Blocks . . . . .	54
3.3.1	Givens Rotation . . . . .	54
3.3.2	The CORDIC Algorithm . . . . .	55
3.3.3	Matrix Processing using Givens Rotations . . . . .	63
3.4	MMSE-SQRD based on Gram-Schmidt . . . . .	69
3.4.1	Fixed-Point Complexity . . . . .	69
3.4.2	Fixed-Point Optimizations . . . . .	70
3.4.3	Consolidated BER Performance . . . . .	71
3.5	MMSE-SQRD based on Givens Rotations . . . . .	75
3.5.1	Fixed-Point Complexity . . . . .	75
3.5.2	Fixed-Point Optimizations . . . . .	76
3.5.3	Consolidated BER Performance . . . . .	79
3.6	V-BLAST based on Givens Rotations . . . . .	81
3.6.1	Fixed-Point Complexity . . . . .	81
3.6.2	Fixed-Point Optimizations . . . . .	81
3.6.3	Consolidated BER Performance . . . . .	85
3.7	Comparison and Discussion . . . . .	88
3.7.1	Complexity and Performance Assessment . . . . .	88
3.7.2	Fixed-Point SQRD Error Analysis . . . . .	92
<b>4</b>	<b>VLSI Architectures</b>	<b>99</b>
4.1	Architectural Aspects . . . . .	99
4.1.1	Classification of VLSI Architectures . . . . .	100
4.1.2	Requirements for MIMO Preprocessing . . . . .	101
4.1.3	Choice of Preprocessing Architecture . . . . .	102

4.1.4	Guiding Principles . . . . .	102
4.1.5	Granularity of Optimizations . . . . .	105
4.2	CORDIC . . . . .	106
4.2.1	Basic CORDIC Architecture . . . . .	106
4.2.2	Partly Unrolled CORDIC Architecture . . . . .	108
4.2.3	Enhanced CORDIC Architecture . . . . .	109
4.3	MMSE-SQRD based on Gram-Schmidt . . . . .	113
4.3.1	High-Throughput Architecture . . . . .	113
4.3.2	Specific Aspects and Optimizations . . . . .	113
4.3.3	Implementation Results . . . . .	116
4.4	MMSE-SQRD based on Givens Rotations . . . . .	119
4.4.1	High-Throughput Architecture . . . . .	119
4.4.2	Specific Aspects and Optimizations . . . . .	121
4.4.3	Implementation Results . . . . .	124
4.4.4	Iteratively Decomposed Architecture . . . . .	129
4.4.5	Implementation Results . . . . .	131
4.5	Power Consumption . . . . .	136
4.5.1	Device-Centric Power Analysis . . . . .	136
4.5.2	Application-Centric Power Analysis . . . . .	138
4.6	Comparison and Discussion . . . . .	143
4.6.1	Comparison of Algorithm and Architecture . . . . .	143
4.6.2	Comparison of Implementation Results . . . . .	144
4.6.3	Comparison to other VLSI Implementations . . . . .	145
<b>5</b>	<b>Real-Time Testbed</b>	<b>149</b>
5.1	Prototyping Platform . . . . .	149
5.1.1	VAMP Board . . . . .	149
5.1.2	BAT Board . . . . .	150
5.1.3	WING Board . . . . .	152
5.2	System Architecture . . . . .	153
5.2.1	PHY and MAC Layer Architecture . . . . .	153
5.2.2	Partitioning . . . . .	156
5.3	Deployment of MMSE-SQRD ASIC . . . . .	158
5.3.1	MIMO Preprocessing Architecture . . . . .	158
5.3.2	Testbed Integration of the SQRD ASIC . . . . .	161
5.4	System-Level Performance . . . . .	167
5.4.1	MIMO Preprocessing Performance . . . . .	167
5.4.2	MIMO Detection Performance . . . . .	167

5.4.3	MAC Layer Performance . . . . .	173
5.5	Concluding Remarks . . . . .	175
<b>6</b>	<b>Summary and Conclusions</b>	<b>177</b>
<b>A</b>	<b>Supplemental Information</b>	<b>185</b>
A.1	Building Blocks . . . . .	185
A.1.1	Linear & SIC Detection . . . . .	185
A.1.2	CORDIC . . . . .	189
A.2	QRD Operation Counts . . . . .	191
A.2.1	QRD based on Gram-Schmidt . . . . .	191
A.2.2	QRD based on Givens Rotations . . . . .	194
A.3	Circuit Timing Figures . . . . .	199
A.4	ASIC Pinout . . . . .	200
A.5	PHY Layer Data Rates . . . . .	201
A.5.1	Legacy WLAN PHY Layer Data Rates . . . . .	201
A.5.2	IEEE 802.11n PHY Layer Data Rates . . . . .	202
<b>B</b>	<b>Notation and Acronyms</b>	<b>205</b>
Symbols	. . . . .	205
Operators	. . . . .	206
Acronyms	. . . . .	207
	<b>Bibliography</b>	<b>213</b>
	<b>Curriculum Vitae</b>	<b>221</b>